

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223712

(43)Date of publication of application : 11.08.2000

(51)Int.Cl.

H01L 29/786

H01L 21/336

C23C 16/04

H01L 21/20

H01L 21/316

(21)Application number : 11-024589

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 02.02.1999

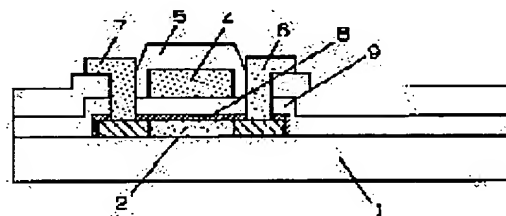
(72)Inventor : GOTO SHINJI  
SAKAI MASAHIRO  
NISHITANI MIKHIKO

## (54) THIN FILM TRANSISTOR AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form a gate insulating film having a high withstanding strength and giving a little damage to an interface between a semiconductor and an insulating film to fabricate a thin film transistor(TFT) of a low threshold voltage by oxidizing the interface and forming the gate insulating film by a CVD method.

**SOLUTION:** After forming a silicon/oxide film interface in a polycrystalline silicon film 2, a silicon oxide film is formed in the thickness of 50 nm as a CVD insulating film 9 by a plasma CVD method using TEOS and O<sub>2</sub> as materials. Before executing plasma CVD, the surface of the polycrystalline silicon film 2 is oxidized and therefore the silicon/oxide film interface is not damaged by plasma CVD. By using a plasma CVD method for formation of an insulating film, a gate insulating film having a high withstanding strength and giving no damage to the interface can be formed. Consequently, a TFT having a low threshold voltage can be fabricated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-223712

(P2000-223712A)

(43)公開日 平成12年8月11日(2000.8.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 7 V 4 K 0 3 0
21/336		C 2 3 C 16/04	5 F 0 5 2
C 2 3 C 16/04		H 0 1 L 21/20	5 F 0 5 8
H 0 1 L 21/20		21/316	X 5 F 1 1 0
21/316			M

審査請求 未請求 請求項の数7 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平11-24589

(22)出願日 平成11年2月2日(1999.2.2)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 後藤 真志

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 坂井 全弘

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

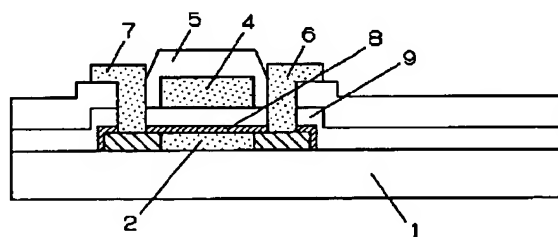
最終頁に続く

(54)【発明の名称】 薄膜トランジスタおよびその製造方法

(57)【要約】

【課題】 絶縁性基板上に形成される薄膜トランジスタにおいて、しきい値電圧の低い薄膜トランジスタおよびその製造方法を提供することを目的とする。

【解決手段】 薄膜トランジスタのゲート絶縁膜をCVD法による膜堆積および酸化法による膜酸化により形成することにより、絶縁耐圧が高く、界面特性のよりゲート絶縁膜が形成でき、その厚さを薄くすることにより、しきい値電圧の低い薄膜トランジスタが得られる。



【特許請求の範囲】

【請求項 1】 薄膜トランジスタを構成する半導体薄膜表面に、その半導体の表面酸化層を設け、さらに CVD 法によって膜堆積した絶縁膜をゲート絶縁層に用いたことを特徴とする薄膜トランジスタ。

【請求項 2】 表面酸化層の膜厚が 2 nm 以上であることを特徴とする請求項 1 に記載の薄膜トランジスタ。

【請求項 3】 ゲート絶縁膜が CVD 法による膜堆積および酸化法による膜酸化により形成されることを特徴とする薄膜トランジスタの製造方法。

【請求項 4】 膜酸化がプラズマ酸化法によることを特徴とする請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 5】 ゲート絶縁膜が CVD 法による膜堆積した後、プラズマ酸化法によって膜酸化することによって形成されることを特徴とする請求項 3 または請求項 4 に記載の薄膜トランジスタの製造方法。

【請求項 6】 膜酸化がランプアニール法によることを特徴とする請求項 3 に記載の薄膜トランジスタの製造方法。

【請求項 7】 膜酸化がレーザアニール法によることを特徴とする請求項 3 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置、特に絶縁性基板上に形成され、多結晶シリコンを能動層とする薄膜トランジスタおよびその製造方法に関する。

【0002】

【従来の技術】 図 2 は従来の薄膜トランジスタの製造方法を説明するための図である。従来、多結晶シリコンを能動層とする薄膜トランジスタの製造方法は、まずガラス基板 1 上にアモルファスシリコン膜をモノシランなどを原料としてプラズマ CVD 法や LPCVD 法により堆積した後、図 2 (a) のようにエキシマレーザなどを用いたレーザアニール法によって、多結晶シリコン膜 2 を形成する。次に図 2 (b) に示すように、多結晶シリコン膜 2 を島状にパターニングした後、ゲート絶縁膜 3 をプラズマ CVD 法や常圧 CVD 法などにより形成する。続いてアルミニウム (Al)、タンタル (Ta) などの金属を用いてゲート電極を形成した後、図 2 (c) のようにイオンドーピング法によりリン (P)、ボロン (B) 等の不純物を注入し、多結晶シリコン膜 2 中にソース・ドレイン領域を形成する。最後に層間絶縁膜 5 をプラズマ CVD 法や常圧 CVD 法により形成し、ソース・ドレイン領域へのコンタクトホールを開孔した後、ソース電極 6 およびドレイン電極 7 をアルミニウムなどの金属によって形成し、図 2 (d) のような薄膜トランジスタの完成となる。

【0003】

【発明が解決しようとする課題】 従来の薄膜トランジスタ

の製造方法では、およそ 20 nm から 100 nm の厚さの多結晶シリコン膜上に 50 nm から 150 nm の厚さのゲート絶縁膜を CVD 法によって堆積している。一般的にゲート絶縁膜としては SiO<sub>2</sub> 膜が用いられ、その堆積方法としては常圧 CVD 法やプラズマ CVD 法があげられるが、常圧 CVD 法によって形成した SiO<sub>2</sub> 膜は絶縁耐圧が低く、プラズマ CVD 法によって形成した SiO<sub>2</sub> 膜は多結晶シリコン膜とゲート絶縁膜の界面にプラズマダメージが発生してしまう。このため、ゲート絶縁膜の形成方法として常圧 CVD 法を用いた場合には、その耐圧の低さから膜厚を厚くする必要があり、薄膜トランジスタのしきい値電圧は高くなる。また、ゲート絶縁膜の形成方法としてプラズマ CVD 法を用いた場合には多結晶シリコン膜との界面に存在するプラズマダメージが界面準位となり、結果として薄膜トランジスタのしきい値電圧が高くなる。したがって従来のゲート絶縁膜の形成法を用いて、しきい値電圧の低い薄膜トランジスタを製造することは困難である。

【0004】 そこで本発明は、上記の課題を解決するためのものであり、耐圧が高く、界面へのダメージの少ないゲート絶縁膜を形成することにより、しきい値電圧の低い薄膜トランジスタおよびその製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 前記目的を達成するために、本発明の薄膜トランジスタは半導体・絶縁膜界面を酸化する工程と CVD 法によって膜堆積する工程によって形成されたゲート絶縁層を具備した構成となっており、プラズマ酸化法、ランプアニール法、レーザアニール法を用いてシリコン膜を酸化することにより界面準位の少ない表面酸化層を形成し、プラズマ CVD 法などによって耐圧の高い絶縁膜をバルクとして形成することによってしきい値電圧の低い薄膜トランジスタを製造する。

【0006】

【発明の実施の形態】 以下、本発明の実施の形態について、図 1 の本発明による薄膜トランジスタの断面図および図 3 を用いて説明する。なお、図 1 において、1 はガラス基板、2 は多結晶シリコン膜、4 はゲート電極、5 は層間絶縁膜、6 はソース電極、7 はドレイン電極、8 は酸化シリコン膜、9 は CVD 絶縁膜を示している。

【0007】 (実施の形態 1) 図 2 におけるゲート絶縁膜 3 の形成方法を除いては、前記の従来の薄膜トランジスタの製造方法と同様であるため、ゲート絶縁膜の形成方法について詳細に説明する。

【0008】 本実施の形態における薄膜トランジスタのゲート絶縁膜は、まず、島状にパターニングされた多結晶シリコン膜 2 を圧力 2 Torr、RF 電力 1 kW の酸素プラズマによってプラズマ酸化し、図 1 に示すように多結晶シリコン膜表面に 5 nm 厚の酸化シリコン膜 8 を形成す

る。

【0009】一般的にプラズマによるダメージはプラズマ中のイオンが基板表面に高いエネルギーで衝突することにより発生する。この衝突エネルギーは、プラズマ電位と基板電位の差で決まり、基板電位を接地電位とした場合、通常で数十eV程度である。

【0010】図3は衝突エネルギーが100eVの時の酸素イオンのシリコン中への打ち込み深さを粒子計算によって求めた結果である。図より、酸素イオンはおよそ2nmまで打ち込まれ、ダメージが発生する恐れがあることがわかった。したがって、多結晶シリコン膜2の酸化層の厚さは2nm以上にすることが必要である。逆に2nm以上の厚さの酸化膜は酸素の拡散によってのみ成長していくため、プラズマ酸化やプラズマCVDによるシリコン/酸化膜界面へのプラズマダメージは発生しない。

【0011】よって、プラズマCVDを行う前に2nm以上（本実施の形態では5nm）の厚さの酸化シリコン膜を形成することにより、シリコン酸化膜界面へのプラズマダメージを防止することができる。

【0012】以上のように、シリコン/酸化膜界面を多結晶シリコン膜中に形成した後、TEOSとO<sub>2</sub>を原料とするプラズマCVD法によって50nm厚のシリコン酸化膜をCVD絶縁膜9として形成する。本実施の形態においては、プラズマCVDを行う前に多結晶シリコン膜表面を酸化しているため、プラズマCVDによるシリコン/酸化膜界面へのダメージは防止することができる。したがって、プラズマCVD法により耐圧の高い絶縁膜を形成することによって界面にダメージがなく、耐圧が高いゲート絶縁膜が形成でき、その結果、しきい値電圧の低い薄膜トランジスタが実現できた。

【0013】なお、本実施の形態では多結晶シリコン膜2を島状にパターニングした後に、プラズマ酸化を行ったが、多結晶シリコン膜2の表面をプラズマ酸化した後、パターニングを行っても、チャネル領域の表面には酸化膜が形成されているため、同様の効果が期待できる。

【0014】（実施の形態2）図2におけるゲート絶縁膜3の形成方法を除いては、前記の従来の薄膜トランジスタの製造方法と同様であるため、ゲート絶縁膜の形成方法について詳細に説明する。

【0015】本実施の形態における薄膜トランジスタのゲート絶縁膜は、まず、島状にパターニングされた多結晶シリコン膜2上に従来と同様にTEOSとO<sub>2</sub>を原料とするプラズマCVD法によって50nm厚のシリコン酸化膜をCVD絶縁膜9として形成する。この時点では、シリコン酸化膜界面にはプラズマダメージが発生しており、このままでは界面準位が残ってしまう。そこでこの後に、圧力2Torr、RF電力1kWの酸素プラズマによってプラズマ酸化を行なった。

【0016】本実施の形態においては、CVD絶縁膜9

中を拡散した酸素原子によって多結晶シリコン膜2を酸化するため、実施の形態1に比べプラズマ酸化による酸化速度は遅くなるが、酸素原子がCVD絶縁膜9中を拡散する時に、CVD絶縁膜9中に存在する欠陥や準位を補償するため、成膜直後に比べてCVD絶縁膜9の膜質が向上する。また、シリコン酸化膜界面のプラズマダメージも回復されることがわかった。よって、CVD絶縁膜9を堆積後、プラズマ酸化法によって多結晶シリコン膜の酸化を行うことにより、界面にダメージがなく、耐圧が高いゲート絶縁膜が形成でき、その結果、しきい値電圧の低い薄膜トランジスタが実現できた。

【0017】（実施の形態3）本実施の形態も図2におけるゲート絶縁膜3の形成方法を除いては、前記の従来の薄膜トランジスタの製造方法と同様であるため、ゲート絶縁膜の形成方法について詳細に説明する。

【0018】薄膜トランジスタのゲート絶縁膜は、まず、島状にパターニングされた多結晶シリコン膜2に対して酸素雰囲気においてランプアニールを行ない、多結晶シリコン膜2の表面に酸化膜を形成した。本実施の形態では、基板表面温度を800℃で1分間保持した。このランプアニールによるガラス基板1のそり等は見られず、多結晶シリコン膜2の表面にはおよそ3nmの酸化膜が形成された。

【0019】ランプアニールによりシリコン/酸化膜界面を多結晶シリコン膜中に形成した後、TEOSとO<sub>2</sub>を原料とするプラズマCVD法によって50nm厚のシリコン酸化膜をCVD絶縁膜9として形成する。

【0020】本実施の形態においては、プラズマCVDを行う前に多結晶シリコン膜表面をランプアニールにより2nm以上酸化しているため、プラズマCVDによるシリコン/酸化膜界面へのダメージは防止することができる。したがって、プラズマCVD法により耐圧の高い絶縁膜を形成することによって界面にダメージがなく、耐圧が高いゲート絶縁膜が形成でき、その結果、しきい値電圧の低い薄膜トランジスタが実現できた。

【0021】なお、本実施の形態では多結晶シリコン膜2を島状にパターニングした後に、ランプアニールを行ったが、多結晶シリコン膜2の表面をランプアニールした後、パターニングを行っても、チャネル領域の表面には酸化膜が形成されているため、同様の効果が期待できる。

【0022】また、ランプアニール法を用いることにより表面の酸化だけでなく、多結晶シリコン膜2の結晶性の向上といった効果も期待される。

【0023】（実施の形態4）本実施の形態も図2におけるゲート絶縁膜3の形成方法を除いては、前記の従来の薄膜トランジスタの製造方法と同様であるため、ゲート絶縁膜の形成方法について詳細に説明する。

【0024】薄膜トランジスタのゲート絶縁膜は、まず、島状にパターニングされた多結晶シリコン膜2に対

して酸素雰囲気においてレーザアニールを行ない、多結晶シリコン膜2の表面に酸化膜を形成した。本実施の形態では、基板温度を300℃に加熱し、350mJ/cm<sup>2</sup>のレーザエネルギーでレーザアニールを行ったところ、多結晶シリコン膜2の表面にはおよそ3nmの酸化膜が形成された。

【0025】レーザアニールによりシリコン/酸化膜界面を多結晶シリコン膜中に形成した後、TEOSとO<sub>2</sub>を原料とするプラズマCVD法によって50nm厚のシリコン酸化膜をCVD絶縁膜9として形成する。本実施の形態においては、プラズマCVDを行う前に多結晶シリコン膜表面をレーザアニールにより2nm以上酸化しているため、プラズマCVDによるシリコン/酸化膜界面へのダメージは防止することができる。したがって、プラズマCVD法により耐圧の高い絶縁膜を形成することによって界面にダメージがなく、耐圧が高いゲート絶縁膜が形成でき、その結果、しきい値電圧の低い薄膜トランジスタが実現できた。

【0026】なお、本実施の形態では多結晶シリコン膜2を島状にパターニングした後に、レーザアニールを行ったが、多結晶シリコン膜2の表面をレーザアニールした後、パターニングを行っても、チャネル領域の表面には酸化膜が形成されているため、同様の効果が期待できる。さらに、レーザアニール法を用いることにより表面の酸化だけでなく、多結晶シリコン膜2の結晶性の向上

といった効果も期待される。

【0027】また、ガラス基板1上に堆積したアモルファスシリコン膜をレーザアニールにより結晶化する際に、酸素雰囲気とすることによって、多結晶シリコン膜2の形成と表面の酸化を同時に行っても、同様の効果が期待される。

【0028】

【発明の効果】本発明によれば、耐圧が高く、界面へのプラズマダメージのないゲート絶縁膜が形成可能であり、これによって、しきい値電圧の低い薄膜トランジスタの製造が実現される。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの断面図

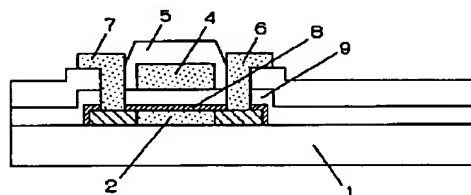
【図2】従来の薄膜トランジスタの製造方法を示す図

【図3】酸素イオンの打ち込み深さ分布を示す図

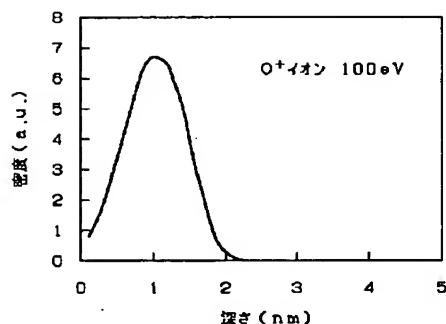
【符号の説明】

- 1 ガラス基板
- 2 多結晶シリコン膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 層間絶縁膜
- 6 ソース電極
- 7 ドレイン電極
- 8 酸化シリコン膜
- 9 CVD絶縁膜

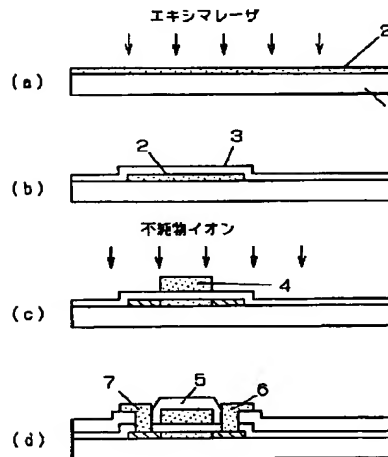
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

識別記号

F I

ターマコード' (参考)

H O 1 L 21/316

H O 1 L 29/78

6 1 7 U

6 2 7 G

(72) 発明者 西谷 幹彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム (参考) 4K030 AA11 AA14 BA29 BA44 BB14

DA08 FA01 HA02 LA02

5F052 AA02 BB07 DA02 JA01 JA10

5F058 BA01 BB04 BB07 BD01 BD04

BF25 BF29 BF60 BF73 BJ01

BJ10

5F110 AA08 AA12 AA30 CC02 FF02

FF09 FF21 FF23 FF25 FF30

GG02 GG13 PP03